

# PATENT ABSTRACTS OF JAPAN

(11)Publication number :

2000-295108

(43)Date of publication of application :

20.10.2000

(51)Int.Cl.

H03M 5/16

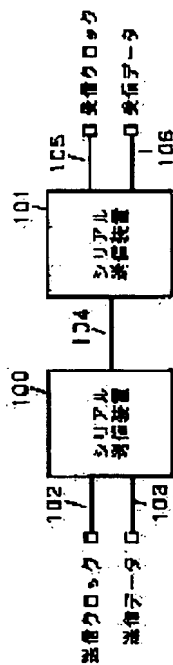
(21)Application number : 11-101047

(71)Applicant : MATSUSHITA ELECTRIC IND CO LTD

(22)Date of filing : 08.04.1999

(72)Inventor : TOMIKAWA YASUHIKO  
TANAKA KEISUKE

## (54) SIGNAL PROCESSING UNIT



### (57)Abstract:

**PROBLEM TO BE SOLVED:** To decrease the number of data transfer lines by allowing a transmission section to convert a clock signal and data into a ternary signal and to provide an output of it and decoding the ternary signal into the clock signal and the data at a reception section.

**SOLUTION:** A serial signal transmitter 100 receives a transmission clock signal 102 and transmission data 103 that are binary signals and generates a transfer signal 104 that is a ternary signal. The transfer signal 104 is at an L level for a period when the transmission clock signal 102 is at an L level, the transfer signal 104 is at an H level for a period when the transmission clock signal 102 is at an H level while the transmission data 103 is at an L level at an edge from L to H, and the transfer signal 104 takes a 3rd level higher than the H level for a period when the transmission clock signal 102 is at an H level while the transmission data 105 is at an H level at an edge from L to

H. Furthermore, a serial signal receiver 101 decodes the transfer signal 104 that is a ternary signal into reception clock 105 and reception data 106.

## CLAIMS

### [Claim(s)]

[Claim 1] The 1st binary signal and 2nd binary signal which have the 1st level and 2nd level are inputted. When, as for the period of the 1st level, said 1st binary signal serves as the 1st level and said 1st binary signal changes on the 2nd level from the 1st level If said 2nd binary signal is the 1st level, as for the period of the 2nd level, said 1st binary signal will serve as the 2nd level. It is the signal processor with which said 1st binary signal will be characterized by the period of the 2nd

level generating 3 value signals with which it is set to the 3rd level if said 2nd binary signal is the 2nd level.

[Claim 2] It has the 1st level, 2nd level, and 3rd level. The transition property of level To said the 2nd level or said 3rd level, from said 1st level To said 1st level, from said the 2nd level or said 3rd level The 1st binary signal which 3 value signals which change are inputted, and said 3 value signals serve as the 1st level in response to the period of said 1st level, and serves as the 2nd level in response to the period of said 2nd level or said 3rd level, The signal processor characterized by generating the 2nd binary signal to which said 3 value signals serve as said 1st level from said 2nd level in response to the period which changes on said 1st level, and serve as said 2nd level from said 3rd level in response to the period which changes on said 1st level.

[Claim 3] The 1st resistance means which connected the 1st terminal to a certain potential in the signal processor according to claim 1, The 2nd resistance means which connected the 1st terminal to the 2nd terminal of said 1st resistance means, The 1st switching means which connects the 1st terminal to the 2nd terminal of said 2nd resistance means, grounds the 2nd terminal, and will be in a connection condition when the 2nd signal is the 1st level, The signal processor characterized by having the switching means of \*\*\*\* 2 which connects the 1st terminal to the 2nd terminal of said 1st resistance means, grounds the 2nd terminal, and will be in a connection condition when the 1st signal is the 1st level, and making the signal of the 1st terminal of said 2nd switching means into 3 value signals.

[Claim 4] The 1st comparison means which generates the 1st internal binary signal for 3 value signals in a signal processor according to claim 2 as compared with the 1st reference level, A delay means to generate the 1st binary signal which said 1st internal binarization signal is delayed and searches for it, The signal processor characterized by having the 2nd comparison means which generates the 2nd internal binary signal for said 3 value signals as compared with the 2nd reference level, and a latch means to sample said 2nd internal binary signal with the edge of said 1st internal binary signal.

[Claim 5] The signal processor characterized by having further a noise rejection means to remove the noise of a signal between the 1st comparison means and a delay means, in a signal processor according to claim 4.

---

## DETAILED DESCRIPTION

---

### [Detailed Description of the Invention]

[0001]

[Field of the Invention] This invention relates to the technique which superimposes two signals, a clock and data, on 31 value signals, and decodes the 3 value signal to two signals, a clock and data, in order to reduce the number of transfer tracks.

[0002]

[Description of the Prior Art] Drawing 7 shows the signal processor which transmits the conventional serial data. 107 is the data source and 108 is a data sink. And for a transmitter shift register and 110, as for a receiving shift register and 112, clock control equipment and 111 are [ 109 / serial data and 113 ] serial clocks. The sending set of 107 and the receiving set of 108 are connected with the serial data of 112, and the serial clock of 113.

[0003] About the serial data transfer equipment constituted as mentioned above, the actuation is explained below. As a means to transmit data, the data sink of 108 has the serial data transfer which transmits data for every bit from the data source of 107. The data source of 107 inputs first the data which transmit to the transmitter shift register of 109. Next, with the clock control

equipment of 110 in the data source, the clock which is equivalent to the number of bits of data is generated. This clock is used and the data already stored in the transmitter shift register of 109 are outputted to the serial data of 112 by 1 bitwise. Moreover, the polarity of the shift clock of a transmitter shift register is reversed to coincidence, and it outputs to 113 as a serial clock. On the other hand, in the receiving shift register of 111 of the receiving set of 108, incorporation of data is carried [ the aforementioned serial data of 112 ] out for the data of a shift register, and the serial clock of 113 to bitwise as a clock of a shift register. Only the number of bits of data repeats incorporation actuation of the data of 112, and transmit data makes it transmit to the receiving shift register of 111 with the serial clock of 113.

[0004] The above actuation is explained using drawing 8 about the case of the serial data transfer of the 4-bit data of "0110" to the receiving set from a sending set. With a sending set, transmit data "0110" is inputted into a transmitter shift register to the timing of T0. after that -- a serial clock -- the bit of data -- it hits a number -- a pulse number output is carried out and 4 pulse outputs are carried out in this case. The data of the first bit output serial data to the timing of T0, and it outputs L level in this case. Next, the data of the following bit are outputted to the timing of falling of the serial clock of T2, and H level is outputted in this case. It falls, and it comes out, and a serial clock leaves similarly and L level is outputted [ H level is outputted in a certain T four and ] by T6. On the other hand with a receiving set, data are incorporated to a receiving shift register for every standup of a serial clock. In drawing 6 , L level (in this case, "0") which is the first data to the timing of T1 is incorporated. Furthermore, in T3 which is the standup of a serial clock, L level (in this case, "0") of the 4th last data is incorporated in order H level (in this case, "1") of the 3rd data, and T7 by H level (in this case, "1") of the 2nd data, and T5. And "0110" of transmit data is stored in the shift register of reception, and it becomes things. If the value of a receiving shift register is read to the timing after T7 (for example, T8), it will mean that the data from a sending set were transmitted to the receiving set.

[0005] However, two transfer tracks, a serial clock and data, are required for this serial data transfer. The method which has improved this point has a serial data transfer of a start-stop method. The example is shown in drawing 9 . 100 -- a serial sending set and 101 -- a serial receiving set and 102 -- for a transfer track signal and 105, as for received data and 114, a receive clock and 106 are [ a transmit clock and 103 / transmit data and 104 / a clock start signal and 115 ] data slice signals. The serial sending set of 100 has the input of the transmit clock of 102, and the transmit data of 103, and the transfer track of 104 is connected. The serial receiving set of further 101 is connected to this transfer track, and the receive clock of 105 and the received data of 106 are outputted. Henceforth, although there are a transmitter shift register and a receiving shift register and it even explained that the data of a transmitting side were stored in a receiving side by drawing 7 and 8, since the shift register part of transmission and reception becomes common, it is omitted and describes a serial data transfer.

[0006] About the serial data transfer equipment constituted as mentioned above, the actuation is explained below. Becoming a sending set from a 3 value output circuit and a start signal generation machine, the transmit data of 103 outputs M or L level to the transfer track signal of 104 by the 3 value output circuit. The transmit clock of 102 is inputted into a start signal generation machine, and only the pulse 1 bit before data start outputs H level to the transfer track signal of 104. On the other hand, it connects with the 3 value discrimination decision circuit which 3 level of H, M, and L is which value, or is identified, the transfer track signal of 104 outputs the signal which judged H or M, and whether it was L level to the data slice signal of 115 at a receiving set, and the signal which judged whether it was H level is outputted to the clock start signal of 114. From the time of a clock start signal ending the clock start signal of 114 with reception and a clock generation vessel, it

delays during two periods and 1 of a clock period / pulse number which is equivalent to the number of bits of data about the clock of the same frequency as a transmitting side is outputted. By sampling the data slice signal of 115 by the D flip-flop with this clock, transmit data is incorporated and it outputs as received data. Moreover, the clock created with the clock generation vessel is outputted for the receiving shift register which changes serial data into parallel data with a receiving set.

[0007] Drawing 10 explains the above actuation last time similarly about the case of the serial data transfer of the 4-bit data of "0110" to the receiving set from a sending set. A transmit clock is 1 pulse \*\*\*\* before initiation of data. A sending set outputs H level to the transfer track signal of 104 between T0 and T1 whose clock of the section is H period. As for the section of T1 to T5 after it, only transmit data influences the transfer track signal of 104. "0" (L level in this case) whose a sending set is the first data in T1 to T2 at the transfer track signal of 104, In T2 to T3, "1" (in this case, M level) which is the following data, "1" (in this case, M level) which is that following data, and "0" (in this case, L level) which is the last data are outputted by T5 from T four at T3 to T four. On the other hand with a receiving set, reception and a transfer way signal input the transfer track signal of 104 into a 3 value discrimination decision circuit. Then, it separates into a clock start signal and a data slice signal. A clock start signal is a signal with which a transfer way signal extracts the start signal at the time of H level, and can acquire a transfer way signal with outputting H only at the time of H level as compared with VREFH. A data slice signal is a signal which extracts the data of a transfer way signal, and M level, L level, or in order to identify, a transfer way signal can be acquired as compared with VREFL with outputting [ the time of H or M level ] L level for the time of H and L level. Furthermore, a receiving set is in the period of a clock 1/2 after recognizing H level of a clock start signal, and only the number of data generates the clock of the same frequency as a sending set side. If said data slice signal is sampled by the D flip-flop in the standup of this clock, an output serves as L, H, H, and L level, and the bit string of "0110" will be transmitted in this case, and it will serve as received data.

[0008]

[Problem(s) to be Solved by the Invention] However, with the above-mentioned conventional configuration, two transfer tracks and terminal of serial data and a serial clock are required for data transfer. Moreover, in the serial data transfer by the start-stop which solved the problem of the number of transfer tracks, the clock frequency of a sending set and a receiving set must be in agreement. However, when the general-purpose output terminal of three values of a microcomputer constitutes the serial by software, data width of face of 1 bit changes with interruption processings of software etc. For this reason, since a transfer clock was not constant frequency, by this start-stop method, it was unrealizable.

[0009] This invention solves the above-mentioned conventional trouble, and can transmit it with one transfer track and one terminal, and even if it is the case which is not fixed, it aims at offering the serial data transfer equipment which can be transmitted.

[0010]

[Means for Solving the Problem] In order to solve the above-mentioned technical problem, the signal processor of this invention according to claim 1 The 1st binary signal and 2nd binary signal which have the 1st level and 2nd level are inputted. When, as for the period of the 1st level, said 1st binary signal serves as the 1st level and said 1st binary signal changes on the 2nd level from the 1st level If said 2nd binary signal is the 1st level, said 1st binary signal will serve as the 2nd level the period of the 2nd level, and if said 2nd binary signal is the 2nd level, the period of the 2nd level will generate 3 value signals with which said 1st binary signal serves as the 3rd level.

[0011] It is effective in the ability to decrease the number of transmission lines by the

above-mentioned configuration, since two signals are superimposed on one signal.

[0012] In order to solve the above-mentioned technical problem, the signal processor of this invention according to claim 2 It has the 1st level, 2nd level, and 3rd level. The transition property of level To said the 2nd level or said 3rd level, from said 1st level To said 1st level, from said the 2nd level or said 3rd level The 1st binary signal which 3 value signals which change are inputted, and said 3 value signals serve as the 1st level in response to the period of said 1st level, and serves as the 2nd level in response to the period of said 2nd level or said 3rd level, The 2nd binary signal to which said 3 value signals serve as said 1st level from said 2nd level in response to the period which changes on said 1st level, and serve as said 2nd level from said 3rd level in response to the period which changes on said 1st level is generated.

[0013] In order for the above-mentioned configuration to generate two signals from the signal on which one was overlapped, it is effective in the ability to decrease the number of transmission lines.

[0014] In order to solve the above-mentioned technical problem, the signal processor of this invention according to claim 3 The 1st resistance means which connected the 1st terminal to a certain potential in the signal processor according to claim 1, The 2nd resistance means which connected the 1st terminal to the 2nd terminal of said 1st resistance means, The 1st switching means which connects the 1st terminal to the 2nd terminal of said 2nd resistance means, grounds the 2nd terminal, and will be in a connection condition when the 2nd signal is the 1st level, It has the switching means of \*\*\*\* 2 which connects the 1st terminal to the 2nd terminal of said 1st resistance means, grounds the 2nd terminal, and will be in a connection condition when the 1st signal is the 1st level.

[0015] The effectiveness according to a signal processor according to claim 1 by the above-mentioned configuration is realizable by the easy circuit.

[0016] In order to solve the above-mentioned technical problem, the signal processor of this invention according to claim 4 The 1st comparison means which generates the 1st internal binary signal for 3 value signals in a signal processor according to claim 2 as compared with the 1st reference level, A delay means to generate the 1st binary signal which said 1st internal binarization signal is delayed and searches for it, It has the 2nd comparison means which generates the 2nd internal binary signal for said 3 value signals as compared with the 2nd reference level, and a latch means to sample said 2nd signal with the edge of said 1st internal binary signal.

[0017] The effectiveness according to a signal processor according to claim 2 by the above-mentioned configuration is realizable by the easy circuit.

[0018] In order to solve the above-mentioned technical problem, the signal processor of this invention according to claim 5 is further equipped with a noise rejection means to remove the noise of a signal between the 1st comparison means and a delay means, in a signal processor according to claim 4.

[0019] By the above-mentioned configuration, since the effect of a noise can be reduced, an error can be decoded for a clock and data few from 3 value signals.

[0020]

[Embodiment of the Invention] The gestalt of operation of this invention is explained below, referring to a drawing.

[0021] Drawing 1 shows the serial data transfer equipment in the first example of this invention. For a 3 value serial sending set and 101, as for a transmit clock and 103, a 3 value serial receiving set and 102 are [ 100 of drawing 1 / transmit data and 104 ] a transfer track and 105 receive clocks. And the 3 value serial equipment of 100 and the 3 value serial receiving set of 101 are connected by the transfer track of 104.

[0022] The serial data transfer equipment constituted as mentioned above is explained using

drawing 2 . The transmit clock of 102 synchronizes with the transmit data of 103, and data change to T1 and T3 which are falling of a clock, and the timing of T5 and T7. These signals are inputted and the transmit clock of 102 outputs L level to the transfer way signal of 104 in the 3 value serial sending set of 100 at the time of L level (T1 to T2, T four from T3, T5 to T6, and T7 [ before T0 ] or subsequent ones). The transmit clock of 102 outputs H or M level with transmit data at the time of H level (from T0 to T1 and T2 to T3, from T5 and T6 from T four to T7). In drawing 2 , from T3 from T2 and T four which are a time of the transmit data of 103 being H level, H level is outputted for the T5 section to the transfer way signal of 104, and M level is outputted for the T0 to T1 and T6 to T7 which it is at the time of L level section to the transfer way signal of 104.

[0023] On the other hand, in a 3 value serial receiving set, in order to detect whether it is in H level comparator and L in comparison with VREFH, H, or M level in order to detect whether it is in H, M, or L level about the transfer way signal of 104 created by said actuation, it inputs into L level comparator in comparison with VREFL. The output of L level comparator creates the receive clock of 105 the noise rejection which presses down pulse generating at the changing point of L level and L level to H level from H level, and by being delayed. The received data of 106 can be obtained by sampling the output of H level comparator to the timing (T0d, T2d, T-fourd, T6d) of the standup of the receive clock of 105.

[0024] Drawing 3 is the example of the above-mentioned 3 value serial sending set. There is an output circuit of three values which consist of 2 and the transistors Tr1 and Tr2 of Resistance R in the 3 value serial sending set of 100. For Tr2, it is between the transfer track signal of 104, and GND, and Tr2 is \*\*\*. If it becomes, an output will serve as L level. Tr1 is among the resistance R and GND connected to the two-piece serial from the power source, and control of this transistor will be [ Tr2 ] in an insulating condition effective. \*\*\* and Tr2 are set to M level to which the partial pressure of the transfer track signal was carried out by resistance of two in supply voltage in the state of the insulation by Tr1, and, as for a transfer track signal, an insulation and Tr2 are set to H level by Tr1 in the state of an insulation. There are two more inverters, the transmit data of 103 is reversed, and it uses for creation of the gate signal of Tr1, and another reverses the transmit clock of 102 and is used for creation of the gate signal of Tr2.

[0025] Thus, about the constituted 3 value serial sending set, the actuation is used for the 4-bit data of "0110", drawing 4 is used about a transmitting case, and it explains. The transmit data of 103 is the signal which outputted DETA \*\* which is stored in the shift register, and which has transmitted 4 bits for every bit by the transmit clock of 102, and is a signal which changes for every falling. For this reason, T1 to following T3 is that following data "1" (H level in this case), it is 3rd data "1" (H level in this case), and it is "0" (L level in this case) whose transmit data is the first data before T1, and T3 to T5 holds [ T5 to T7 is last data "0" (L level in this case), and ] the former condition after T7.

[0026] It is reversed and the transmit clock of 102 becomes the control signal of Tr2 of 302. For Tr2, Tr2 is before T0 whose control signal of 302 is H level \*\*\* at the time after T1 to T2, T four from T3, T5 to T6, and T7. It will be in a condition and the transfer way signal of 104 will be set to L level. The transmit data of 103 is also reversed and it becomes the control signal of Tr1 of 301. T1 to T four whose control signal of 301 is H level will be in an insulating condition, and T5 period and the transfer way signal of 104 will be set to H level from T3 from T2 whose above Tr2 is in an insulating condition, and T four by Tr1. It is \*\*\* before T1 and after T5. It will be in a condition, and T0 to T1 and T6 to T7 period whose above Tr2 is in an insulating condition, and the transfer way signal of 104 can be carried out M level, and the 3 value serial signal which superimposed a clock and data is acquired.

[0027] Drawing 5 is the example of the above-mentioned 3 value serial receiving set. It becomes the

3 value serial sending set of 101 from H level detection comparator, L level detection comparator, a reference voltage generator, noise rejection, delay, and a D flip-flop. The transfer way signal of 104 is inputted into H level detection comparator and L level detection comparator. The output 502 of L level detection comparator is inputted into noise rejection. Furthermore, the output 503 of noise rejection is delayed and serves as a receive clock of 106. It connects with the data of a D flip-flop, and the output of H level detection comparator is sampled by the receive clock of 106, and serves as received data of 105. Moreover, VREFH and VREFL are connected to H level detection comparator and L level detection comparator as reference voltage to compare.

[0028] Thus, the actuation is explained [ receiving set / which was constituted / 3 value serial ] using drawing 6 about the case of the transfer track signal which created the 4-bit data of "0110" of said drawing 4 with the 3 value serial sending set. It is set to L level after T1 to T2, T four from T3, T5 to T6, and T7, and it is before T0 whose transfer track signal of 104 is an electrical-potential-difference period when L level detecting signal of 502 is lower than VREFL by L level detection comparator H level except it. However, in [ changing ] that it changes from L or L to H level, a pulse-like noise may occur like drawing 6 from H. The noise of the shape of a pulse in this changing point is removed, and it becomes the edge noise rejection signal of 503. the edge noise rejection signal of further 503 is delayed -- making -- receive-clock \*\*\*\* of 105 -- things are made. Moreover, T5 period serves as H level from T3 from T2 whose transfer track signal of 104 is an electrical-potential-difference period when H level detecting signal of 501 is higher than VREFH by H level detection comparator, and T four. A pulse-like noise also generates this signal from H in [ changing ] that it changes from L or L to H level. If H level detecting signal of 501 is sampled by T0d which is the standup of the receive clock of 105 of said creation, T2d, T-fourd, and T6d, the received data of 106 can be obtained and it will become L level from H level and T-fourd by T6d by T0d to T2d at L level and T2d to T-fourd after H level, and T6d. The "0110" as transmit data can be obtained. [ more nearly same than this ]

[0029]

[Effect of the Invention] Although conventional serial data transfer equipment had taken two transfer tracks, data and a clock, when this invention superimposed serial data and a clock by 3 value-ization, the serial data transfer equipment of this invention has the operation which can be transmitted on the one transfer track. Moreover, since the clock is superimposed, even when the period of a clock is not fixed, it has the operation which can be transmitted on the one transfer track. For this reason, even when [ which twists 3 value output 1 terminal of a microcomputer which was not able to be realized conventionally for software ] it controls, a serial data transfer is possible. Moreover, if there is an input/output terminal of three values of determining the static test mode of a microcomputer, the address of a register is specified from the exterior and there is an operation which can realize the function which carries out data output, without the number of terminals increasing a terminal.

[0030] Although the example described three values, though it is one transfer track by multiple-value-izing, it also has the operation which can transmit two or more bits in one clock.

---

## DESCRIPTION OF DRAWINGS

---

[Brief Description of the Drawings]

[Drawing 1] The block diagram of the signal processor in the gestalt of operation of the first of this invention

[Drawing 2] The explanatory view of the signal processor in the gestalt of operation of the first of this invention of operation

[Drawing 3] The circuit diagram of the signal processor equipment in the gestalt of operation of the

first of this invention

[Drawing 4] The explanatory view of the signal processor in the gestalt of operation of the first of this invention of operation

[Drawing 5] The block diagram of the signal processor in the gestalt of operation of the first of this invention

[Drawing 6] The explanatory view of the signal processor in the gestalt of operation of the first of this invention of operation

[Drawing 7] The block diagram of the signal processor which performs the conventional serial data

[Drawing 8] The explanatory view of the signal processor which performs the conventional serial data of operation

[Drawing 9] The block diagram of the signal processor which transmits serial data on 1 conventional transfer way

[Drawing 10] The explanatory view of the signal processor which transmits serial data on 1 conventional transfer way of operation

[Description of Notations]

100 Serial Sending Set

101 Serial Receiving Set

102 Transmit Clock

103 Transmit Data

104 Transfer Track

105 Receive Clock

106 Received Data

107 Sending Set

108 Receiving Set

109 Shift Register

110 Clock Control Equipment

111 Shift Register

112 Serial Data

113 Serial Clock

114 Clock Initiation Control Signal

115 Data Slice Signal

301 Control Signal of Tr1

302 Control Signal of Tr2

501 H Level Detecting Signal

502 L Level Detecting Signal

503 Edge Noise Rejection Signal

\* NOTICES \*

JP0 and NCIP1 are not responsible for any damages caused by the use of this translation.

1.This document has been translated by computer. So the translation may not reflect the original precisely.

2.\*\*\*\* shows the word which can not be translated.

3.In the drawings, any words are not translated.



(19)日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11)特許出願公開番号  
特開2000-295108  
(P2000-295108A)

(43)公開日 平成12年10月20日(2000.10.20)

(51)Int.Cl.<sup>7</sup>  
H 0 3 M 5/16

識別記号

F I  
H 0 3 M 5/16

データベース\*(参考)

審査請求 未請求 請求項の数 5 O L (全 9 頁)

(21)出願番号 特願平11-101047

(22)出願日 平成11年4月8日(1999.4.8)

(71)出願人 000003821

松下電器産業株式会社  
大阪府門真市大字門真1006番地

(72)発明者 宮川 靖彦

大阪府門真市大字門真1006番地 松下電器  
産業株式会社内

(72)発明者 田中 啓介

大阪府門真市大字門真1006番地 松下電器  
産業株式会社内

(74)代理人 10009/445

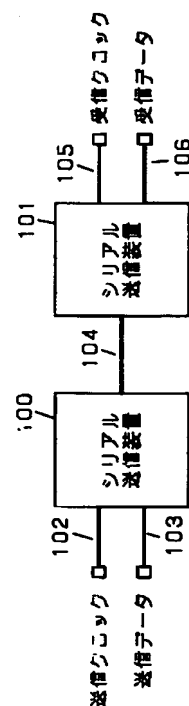
弁理士 岩橋 文雄 (外2名)

(54)【発明の名称】 信号処理装置

(57)【要約】

【課題】 データの転送線路を少なくするために、送信部でクロックとデータを三値信号に変換して出力し、受信部でクロックとデータに復号する。

【解決手段】 シリアル送信装置100は、二値信号である送信クロック102と送信データ103とを入力して三値信号である転送信号104を生成する。ここで、転送信号104は、送信クロック102がLの期間はLとなり、LからHになるエッジにおいて送信データ103がLの時は送信クロック102がHの期間においてHになり、LからHになるエッジにおいて送信データ105がHの時は送信クロック102がHの期間においてHより大きな第3の値となるものである。また、シリアル受信装置101は、三値信号である転送信号104を復号化して受信クロック105と受信データ106を生成する。



【特許請求の範囲】

【請求項1】 第1のレベルと第2のレベルとを有する第1の二値信号と第2の二値信号とを入力し、前記第1の二値信号が第1のレベルの期間は第1のレベルとなり、前記第1の二値信号が第1のレベルから第2のレベルに遷移する時に、前記第2の二値信号が第1のレベルならば前記第1の二値信号が第2のレベルの期間は第2のレベルとなり、前記第2の二値信号が第2のレベルならば前記第1の二値信号が第2のレベルの期間は第3のレベルとなる三値信号を生成することを特徴とする信号処理装置。

【請求項2】 第1のレベルと第2のレベルと第3のレベルとを有し、レベルの遷移特性が、前記第1のレベルから前記第2のレベルまたは前記第3のレベルへ、前記第2のレベルまたは前記第3のレベルから前記第1のレベルへ、遷移する三値信号を入力し、前記三値信号が、前記第1のレベルの期間をうけて第1のレベルとなり、前記第2のレベルまたは前記第3のレベルの期間をうけて第2のレベルとなる第1の二値信号と、前記三値信号が、前記第2のレベルから前記第1のレベルに遷移する期間をうけて前記第1のレベルとなり、前記第3のレベルから前記第1のレベルに遷移する期間をうけて前記第2のレベルとなる第2の二値信号とを生成することを特徴とする信号処理装置。

【請求項3】 請求項1記載の信号処理装置において、第1の端子をある電位に接続した第1の抵抗手段と、第1の端子を前記第1の抵抗手段の第2の端子に接続した第2の抵抗手段と、第1の端子を前記第2の抵抗手段の第2の端子に接続し第2の端子を接地し第2の信号が第1のレベルの時に接続状態となる第1のスイッチ手段と、第1の端子を前記第1の抵抗手段の第2の端子に接続し第2の端子を接地し第1の信号が第1のレベルの時に接続状態となる第2のスイッチ手段とを備え、前記第2のスイッチ手段の第1の端子の信号を三値信号とすることを特徴とする信号処理装置。

【請求項4】 請求項2記載の信号処理装置において、三値信号を第1の基準レベルと比較して第1の内部二値信号を生成する第1の比較手段と、前記第1の内部二値化信号を遅延させて求める第1の二値信号を生成する遅延手段と、前記三値信号を第2の基準レベルと比較して第2の内部二値信号を生成する第2の比較手段と、前記第1の内部二値信号のエッジにより前記第2の内部

二値信号をサンプリングするラッチ手段とを備えることを特徴とする信号処理装置。

【請求項5】 請求項4記載の信号処理装置において、第1の比較手段と遅延手段の間に信号のノイズを除去するノイズ除去手段をさらに備えることを特徴とする信号処理装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、転送線路の数を削減するために、クロックとデータの2つの信号を31つの値信号に重畳し、またその三値信号をクロックとデータの2つの信号に復号する技術に関する。

【0002】

【従来の技術】図7は従来のシリアルデータを転送する信号処理装置を示すものである。107はデータ送信装置、108はデータ受信装置である。そして、109は送信シフトレジスタ、110はクロック制御装置、111は受信シフトレジスタ、112はシリアルデータ、113はシリアルクロックである。107の送信装置と108の受信装置は112のシリアルデータと113のシリアルクロックで接続されている。

【0003】以上のように構成されたシリアルデータ転送装置について、以下その動作について説明する。107のデータ送信装置から108のデータ受信装置にデータを転送する手段として、データを1ビットごとに転送するシリアルデータ転送がある。最初に107のデータ送信装置は109の送信シフトレジスタに転送を行うデータを入力する。次にデータ送信装置内の110のクロック制御装置により、データのビット数にあたるクロックを発生する。このクロックを使い、既に109の送信シフトレジスタ内に格納されているデータを1ビット単位で112のシリアルデータに出力する。また、同時に送信シフトレジスタのシフトクロックの極性を反転して、シリアルクロックとして113に出力する。一方、108の受信装置の111の受信シフトレジスタでは、前記の112のシリアルデータをシフトレジスタのデータ、113のシリアルクロックをシフトレジスタのクロックとして、ビット単位にデータの取り込みを行う。113のシリアルクロックにより、データのビット数だけ112のデータの取り込み動作を繰り返し、111の受信シフトレジスタには送信データが転送させる。

【0004】以上の動作を図8を用いて、4ビットの"0110"のデータを送信装置から受信装置にシリアルデータ転送の場合について説明する。送信装置では送信シフトレジスタにT0のタイミングで送信データ"0110"を入力する。その後シリアルクロックがデータのビット数あたるパルス数出力し、この場合では4パルス出力する。シリアルデータはT0のタイミングで最初のビットのデータが出力し、この場合ではLレベルを出力する。次にT2のシリアルクロックの立ち下がりのタイ

ミングで次のビットのデータを出力し、この場合はHレベルを出力する。同様にシリアルクロックの立ち下がりである、T4ではHレベル、T6ではLレベルを出力する。一方受信装置ではシリアルクロックの立ち上がりごとに、受信シフトレジスタにデータを取り込む。図6ではT1のタイミングで最初のデータであるLレベル（この場合は“0”）を取り込む。さらに、シリアルクロックの立ち上がりであるT3では2番目のデータのHレベル（この場合は“1”）、T5では3番目のデータのHレベル（この場合は“1”）、T7では最終の4番目のデータのLレベル（この場合は“0”）を順番に取り込む。そして受信のシフトレジスタには送信データの“0110”が格納されてことになる。T7以降のタイミング（たとえばT8）で受信シフトレジスタの値を読み出せば、送信装置からのデータが受信装置に転送されたことになる。

【0005】しかしながら、このシリアルデータ転送にはシリアルクロック、データの2本の転送線路が必要である。この点を改善した方式に調歩同期方式のシリアルデータ転送がある。その例を図9に示す。100はシリアル送信装置、101はシリアル受信装置、102は送信クロック、103は送信データ、104は転送線路信号、105は受信クロック、106は受信データ、114はクロック開始信号、115はデータスライス信号である。100のシリアル送信装置には102の送信クロック、103の送信データの入力があり、104の転送線路が接続されている。この転送線路にはさらに101のシリアル受信装置が接続され、105の受信クロックと106の受信データを出力する。図7、8では送信シフトレジスタ、受信シフトレジスタがあり、送信側のデータが受信側に格納されるまでを説明したが、以後送受信のシフトレジスタ部分は共通となるため、省略しシリアルデータ転送について述べる。

【0006】以上のように構成されたシリアルデータ転送装置について、以下その動作について説明する。送信装置には三値出力回路、スタート信号生成器からなり、103の送信データは三値出力回路により、104の転送線路信号にMまたはLレベルを出力する。102の送信クロックはスタート信号生成器に入力され、データが始まる1ビット前のパルスのみ104の転送線路信号にHレベルを出力する。一方受信装置では104の転送線路信号はH、M、Lの3レベルがどの値であるか、識別する三値識別回路に接続され、115のデータスライス信号にはHまたはMか、Lレベルであるのかを判定した信号を出力し、114のクロック開始信号にはHレベルであるかどうかを判定した信号を出力する。114のクロック開始信号を受け取り、クロック生成器ではクロック開始信号が終了した時点から、クロック周期の1/2期間遅らせ、送信側と同一周波数のクロックをデータのビット数にあたるパルス数を出力する。このクロックに

より115のデータスライス信号をDフリップフロップでサンプリングすることで、送信データを取り込み受信データとして出力する。またクロック生成器で作成されたクロックは受信装置でシリアルデータをパラレルデータに変換する受信シフトレジスタのために出力する。

【0007】以上の動作を図10により、前回同様に4ビットの“0110”のデータを送信装置から受信装置にシリアルデータ転送の場合について説明する。送信クロックはデータの開始以前に1パルスある。送信装置は104の転送線路信号に、その区間のクロックがH期間であるT0からT1の間に、Hレベルを出力する。それ以降のT1からT5の区間は104の転送線路信号には送信データのみが影響し、送信装置は104の転送線路信号にT1からT2では最初のデータである“0”（この場合Lレベル）、T2からT3では次のデータである“1”（この場合はMレベル）、T3からT4ではその次のデータである“1”（この場合はMレベル）、T4からT5では最終データである“0”（この場合はLレベル）を出力する。一方受信装置では104の転送線路信号を受け取り、転送線路信号は三値識別回路に入力する。そこでクロック開始信号とデータスライス信号に分離される。クロック開始信号は転送線路信号がHレベル時の開始信号を抽出する信号であり、転送線路信号をVREFHと比較し、Hレベル時のみHを出力することで得ることができる。データスライス信号は転送線路信号のデータを抽出する信号であり、MレベルかLレベルか識別するために、転送線路信号をVREFLと比較し、HまたはMレベル時をH、Lレベル時をLレベルを出力することで得ることができる。さらに受信装置はクロック開始信号のHレベルを認識後、クロックの周期の1/2遅れて、送信装置側と同一周波数のクロックをデータ数だけ発生する。このクロックの立ち上がりで前記データスライス信号をDフリップフロップでサンプリングすると、出力はL、H、H、Lレベルとなり、この場合には“0110”のビット列が転送され、受信データとなる。

【0008】

【発明が解決しようとする課題】しかしながら、上記従来の構成ではデータ転送にシリアルデータとシリアルクロックの2本の転送線路及び端子が必要である。また転送線路数の問題を解決した調歩同期によるシリアルデータ転送では送信装置と受信装置のクロック周波数が一致していなければならない。ところが、マイクロコンピュータの三値の汎用の出力端子により、ソフトウェアによるシリアルを構成した場合には、ソフトウェアの割り込み処理などにより、1ビットのデータ幅は変化する。このために転送クロックが一定周波数でないため、この調歩同期方式では実現できなかった。

【0009】本発明は上記従来の問題点を解決するもので、1本の転送線路及び1端子で転送でき、シリアルクロック周波数が一定でない場合であっても転送可能なシ

リアルデータ転送装置を提供することを目的とする。

【0010】

【課題を解決するための手段】上記課題を解決するために、本発明の請求項1に記載の信号処理装置は、第1のレベルと第2のレベルとを有する第1の二値信号と第2の二値信号とを入力し、前記第1の二値信号が第1のレベルの期間は第1のレベルとなり、前記第1の二値信号が第1のレベルから第2のレベルに遷移する時に、前記第2の二値信号が第1のレベルならば前記第1の二値信号が第2のレベルの期間は第2のレベルとなり、前記第2の二値信号が第2のレベルならば前記第1の二値信号が第2のレベルの期間は第3のレベルとなる三値信号を生成するものである。

【0011】上記構成により、2つの信号を1つの信号に重畳するために、伝送路の数を減少できるという効果がある。

【0012】上記課題を解決するために、本発明の請求項2に記載の信号処理装置は、第1のレベルと第2のレベルと第3のレベルとを有し、レベルの遷移特性が、前記第1のレベルから前記第2のレベルまたは前記第3のレベルへ、前記第2のレベルまたは前記第3のレベルから前記第1のレベルへ、遷移する三値信号を入力し、前記三値信号が、前記第1のレベルの期間をうけて第1のレベルとなり、前記第2のレベルまたは前記第3のレベルの期間をうけて第2のレベルとなる第1の二値信号と、前記三値信号が、前記第2のレベルから前記第1のレベルに遷移する期間をうけて前記第1のレベルとなり、前記第3のレベルから前記第1のレベルに遷移する期間をうけて前記第2のレベルとなる第2の二値信号とを生成するものである。

【0013】上記構成により、1つに重畳された信号から2つの信号を生成するために、伝送路の数を減少できるという効果がある。

【0014】上記課題を解決するために、本発明の請求項3に記載の信号処理装置は、請求項1に記載の信号処理装置において、第1の端子をある電位に接続した第1の抵抗手段と、第1の端子を前記第1の抵抗手段の第2の端子に接続した第2の抵抗手段と、第1の端子を前記第2の抵抗手段の第2の端子に接続し第2の端子を接地し第2の信号が第1のレベルの時に接続状態となる第1のスイッチ手段と、第1の端子を前記第1の抵抗手段の第2の端子に接続し第2の端子を接地し第1の信号が第1のレベルの時に接続状態となる第2のスイッチ手段とを備えるものである。

【0015】上記構成により、請求項1に記載の信号処理装置による効果を、簡単な回路によって実現できる。

【0016】上記課題を解決するために、本発明の請求項4に記載の信号処理装置は、請求項2に記載の信号処理装置において、三値信号を第1の基準レベルと比較して第1の内部二値信号を生成する第1の比較手段と、前記

第1の内部二値化信号を遅延させて求める第1の二値信号を生成する遅延手段と、前記三値信号を第2の基準レベルと比較して第2の内部二値信号を生成する第2の比較手段と、前記第1の内部二値信号のエッジにより前記第2の信号をサンプリングするラッチ手段とを備えるものである。

【0017】上記構成により、請求項2に記載の信号処理装置による効果を、簡単な回路によって実現できる。

【0018】上記課題を解決するために、本発明の請求項5に記載の信号処理装置は、請求項4に記載の信号処理装置において、第1の比較手段と遅延手段の間に信号のノイズを除去するノイズ除去手段をさらに備えるものである。

【0019】上記構成により、ノイズの影響を低減することができるので、三値信号からクロックとデータを誤りを少なく復号することができる。

【0020】

【発明の実施の形態】以下本発明の実施の形態について、図面を参照しながら説明する。

【0021】図1は本発明の第一の実施例におけるシリアルデータ転送装置を示すものである。図1の100は三値シリアル送信装置、101は三値シリアル受信装置、102は送信クロック、103は送信データ、104は転送線路、105受信クロックである。そして100の三値シリアル装置と101の三値シリアル受信装置が104の転送線路により接続されている。

【0022】以上のように構成されたシリアルデータ転送装置について、図2を用いて説明する。102の送信クロックは103の送信データと同期しており、クロックの立ち下がりであるT1、T3、T5、T7のタイミングでデータは変化する。これらの信号を入力して、100の三値シリアル送信装置では、102の送信クロックがLレベル（T0以前、T1からT2、T3からT4、T5からT6、T7以降）の時には、Lレベルを104の転送路信号に出力する。102の送信クロックがHレベル（T0からT1、T2からT3、T4からT5、T6からT7）の時には、送信データにより、HまたはMレベルを出力する。図2では、103の送信データがHレベルの時である、T2からT3、T4からT5区間をHレベルを104の転送路信号に出力し、Lレベルの時である、T0からT1、T6からT7区間をMレベルを104の転送路信号に出力する。

【0023】一方、三値シリアル受信装置では前記動作により作成された104の転送路信号をHかMまたはLレベルにあるのか検出するためにVREFHと比較するHレベル比較器及びLかHまたはMレベルにあるのか検出するためにVREFLと比較するLレベル比較器に入力する。Lレベル比較器の出力はHレベルからLレベル及びLレベルからHレベルの変化点でのパルス発生をおさえるノイズ除去、遅延することにより、105の受信

クロックを作成する。105の受信クロックの立ち上がりのタイミング(T0d, T2d, T4d, T6d)でHレベル比較器の出力をサンプリングすることで106の受信データを得ることができる。

【0024】図3は上記三値シリアル送信装置の実施例である。100の三値シリアル送信装置には抵抗Rの2本とトランジスタTr1、Tr2からなる三値の出力回路がある。Tr2は104の転送線路信号とGND間にあり、Tr2が導\*になると出力はLレベルとなる。Tr1は電源から2個直列に接続された抵抗RとGND間にあり、Tr2が絶縁状態にこのトランジスタの制御が有効になる。Tr1が導\*、Tr2が絶縁状態では転送線路信号は電源電圧を2本の抵抗により分圧されたMレベルになり、Tr1が絶縁、Tr2も絶縁状態では転送線路信号はHレベルになる。さらに2つのインバータがあり、103の送信データを反転し、Tr1のゲート信号の作成に使い、もうひとつは102の送信クロックを反転し、Tr2のゲート信号の作成に使われている。

【0025】このように構成された三値シリアル送信装置について、4ビットの"0110"のデータを送信場合について、その動作を図4を用いて説明する。103の送信データは102の送信クロックにより、シフトレジスタに格納されている4ビット送信しているデータを1ビットごとに出力した信号であり、立ち下がりごとに变化する信号である。このため送信データは、T1以前は最初のデータである"0"(この場合Lレベル)であり、次のT1からT3まではその次のデータ"1"(この場合Hレベル)であり、T3からT5までは3番目のデータ"1"(この場合Hレベル)であり、T5からT7は最終データ"0"(この場合Lレベル)であり、T7以降は以前の状態を保持している。

【0026】102の送信クロックは反転され、302のTr2の制御信号になる。Tr2は302の制御信号がHレベルであるT0以前、T1からT2、T3からT4、T5からT6、T7以降のとき、Tr2は導\*状態となり、104の転送線路信号はLレベルになる。103の送信データも反転され、301のTr1の制御信号になる。Tr1は301の制御信号がHレベルであるT1からT4は絶縁状態となり、前記のTr2が絶縁状態であるT2からT3、T4からT5期間、104の転送線路信号はHレベルになる。T1以前およびT5以降は導\*状態となり、前記のTr2が絶縁状態であるT0からT1、T6からT7期間、104の転送線路信号はMレベルすることができ、クロックとデータを重畳した三値シリアル信号が得られる。

【0027】図5は上記三値シリアル受信装置の実施例である。101の三値シリアル送信装置にはHレベル検出比較器、Lレベル検出比較器、基準電圧発生器、ノイズ除去、遅延、Dフリップフロップからなる。104の転送線路信号はHレベル検出比較器とLレベル検出比較器

に入力される。Lレベル検出比較器の出力502はノイズ除去に入力される。さらにノイズ除去の出力503は遅延され106の受信クロックとなる。Hレベル検出比較器の出力はDフリップフロップのデータに接続され、106の受信クロックによりサンプリングされ、105の受信データとなる。またHレベル検出比較器及びLレベル検出比較器には比較する基準電圧として、VREFH、VREFLが接続されている。

【0028】このように構成された三値シリアル受信装置について、前記図4の4ビットの"0110"のデータを三値シリアル送信装置により作成した転送線路信号の場合について、その動作を図6を用いて説明する。104の転送線路信号はLレベル検出比較器により、502のLレベル検出信号はVREFLより低い電圧期間であるT0以前、T1からT2、T3からT4、T5からT6、T7以降はLレベルとなり、それ以外はHレベルである。しかしHからLまたはLからHレベルに変化する変化点では図6のようにパルス状のノイズが発生する場合がある。この変化点でのパルス状のノイズを除去し、503のエッジノイズ除去信号となる。さらに503のエッジノイズ除去信号を遅延させ、105の受信クロック得ることができる。また104の転送線路信号はHレベル検出比較器により、501のHレベル検出信号はVREFHより高い電圧期間であるT2からT3、T4からT5期間はHレベルとなる。この信号もHからLまたはLからHレベルに変化する変化点でパルス状のノイズが発生する。501のHレベル検出信号を前記作成の105の受信クロックの立ち上がりであるT0d、T2d、T4d、T6dでサンプリングすると、106の受信データを得ることができ、T0dからT2dではLレベル、T2dからT4dではHレベル、T4dからT6dではHレベル、T6d以降はLレベルとなる。これより送信データと同一の"0110"を得ることができる。

【0029】

【発明の効果】本発明はシリアルデータとクロックを三値化により重畳する事により、従来のシリアルデータ転送装置ではデータとクロックの2本の転送線路を要していたが、本発明のシリアルデータ転送装置は1本の転送線路で転送できる作用を有する。またクロックを重畳しているので、クロックの周期が一定でない場合でも、1本の転送線路で転送できる作用を有する。このため従来実現できなかった、マイクロコンピュータの三値出力1端子をソフトウェアによる制御した場合でも、シリアルデータ転送が可能である。またマイクロコンピュータのテストモードを決定する等の三値の入出力端子があれば、外部よりレジスタの番地を指定して、そのデータ出力する機能を端子数が端子を増加することなく実現できる作用がある。

【0030】実施例では三値について述べたが、多値化

することにより、1本の転送線路でありながら、1クロックにおいて複数のビットの転送できる作用も有する。

【図面の簡単な説明】

【図1】本発明の第一の実施の形態における信号処理装置のブロック図

【図2】本発明の第一の実施の形態における信号処理装置の動作説明図

【図3】本発明の第一の実施の形態における信号処理装置の回路図

【図4】本発明の第一の実施の形態における信号処理装置の動作説明図

【図5】本発明の第一の実施の形態における信号処理装置のブロック図

【図6】本発明の第一の実施の形態における信号処理装置の動作説明図

【図7】従来のシリアルデータを行う信号処理装置のブロック図

【図8】従来のシリアルデータを行う信号処理装置の動作説明図

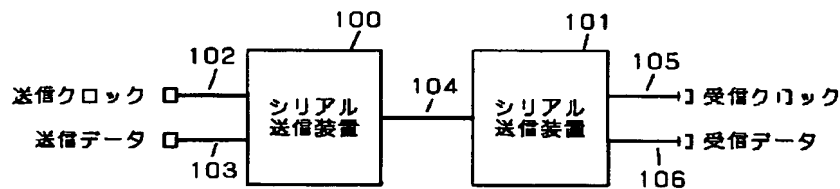
【図9】従来の1転送路でシリアルデータを転送する信号処理装置のブロック図

【図10】従来の1転送路でシリアルデータを転送する信号処理装置の動作説明図

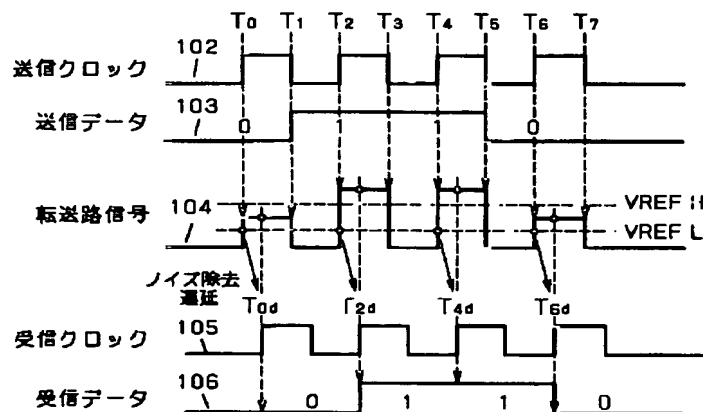
【符号の説明】

- 100 シリアル送信装置
- 101 シリアル受信装置
- 102 送信クロック
- 103 送信データ
- 104 転送線路
- 105 受信クロック
- 106 受信データ
- 107 送信装置
- 108 受信装置
- 109 シフトレジスタ
- 110 クロック制御装置
- 111 シフトレジスタ
- 112 シリアルデータ
- 113 シリアルクロック
- 114 クロック開始制御信号
- 115 データスライス信号
- 301 Tr1の制御信号
- 302 Tr2の制御信号
- 501 Hレベル検出信号
- 502 Lレベル検出信号
- 503 エッジノイズ除去信号

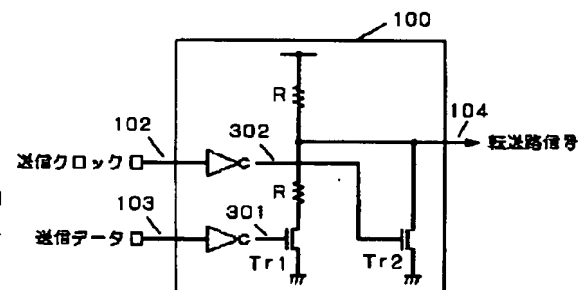
【図1】



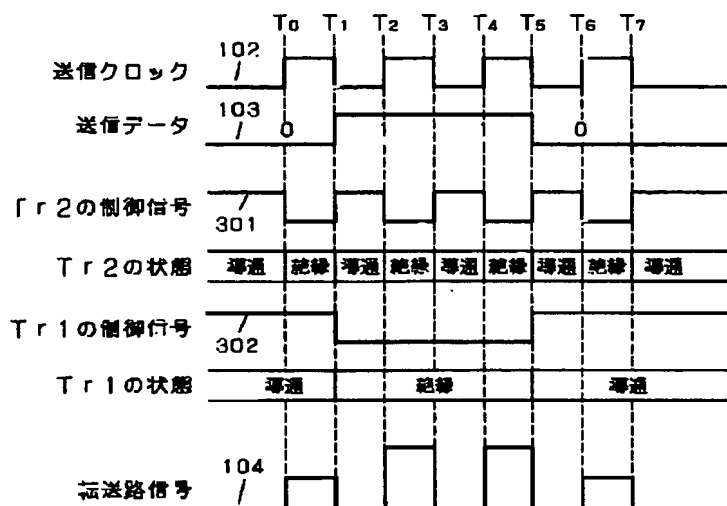
【図2】



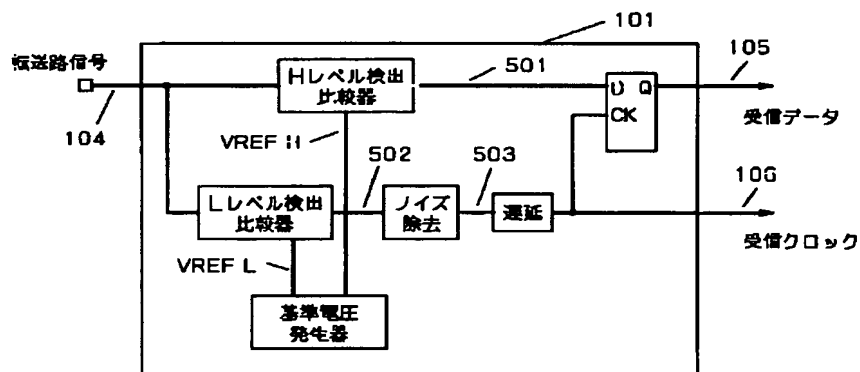
【図3】



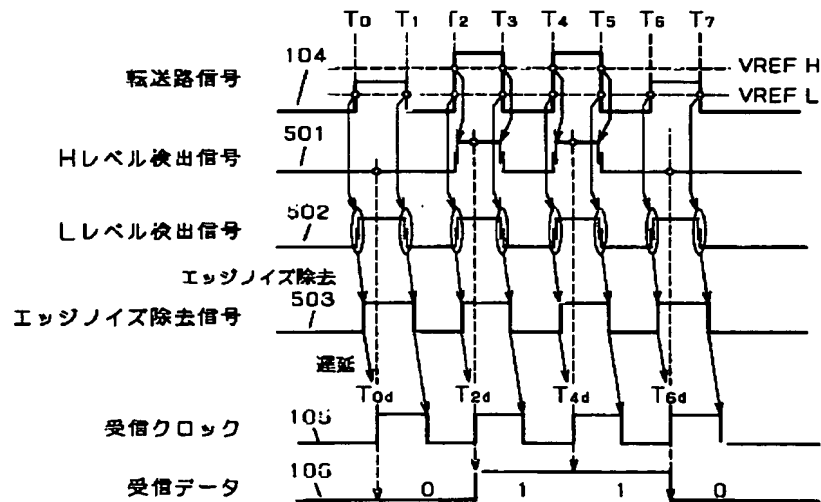
【図4】



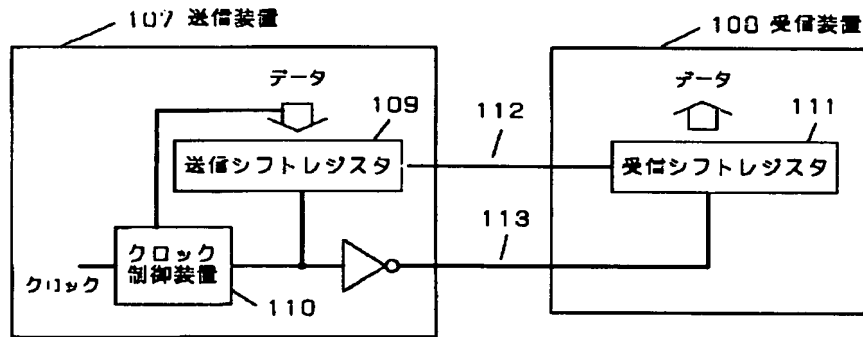
【図5】



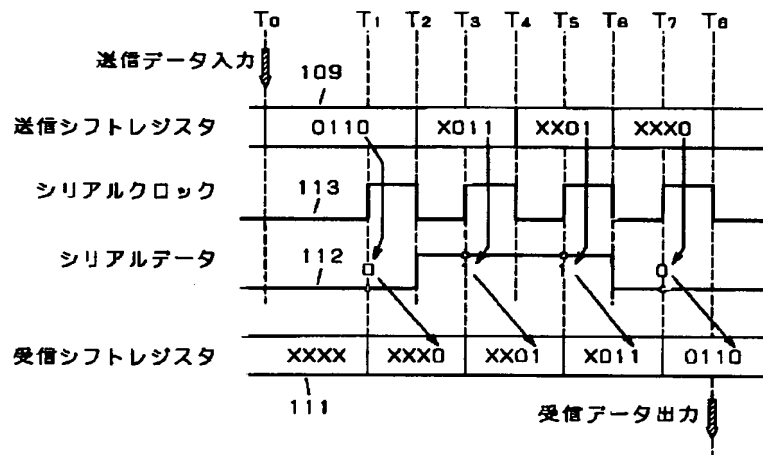
【図6】



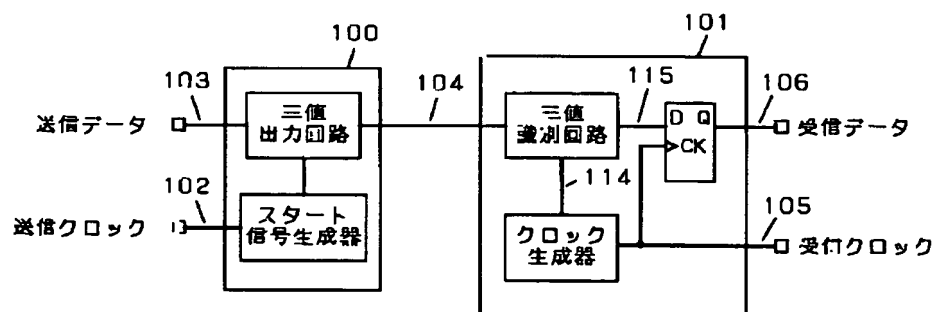
【図7】



【図8】



【図9】





【図10】

